

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152930

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

H03K 19/0185

H03K 17/687

(21)Application number : 03-312802

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 27.11.1991

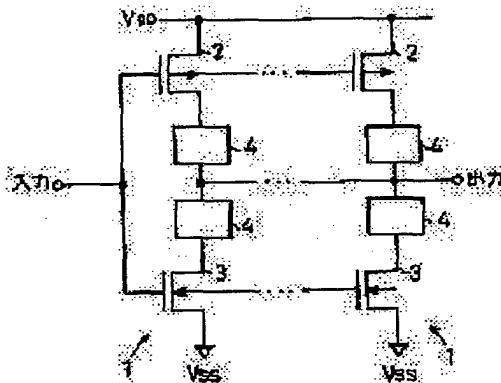
(72)Inventor : WATANABE RYOJI

(54) BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To provide the buffer circuit in which a threshold level can be changed with simple configuration with respect to the buffer circuit in which plural inverter circuits of CMOS structure are connected in parallel.

CONSTITUTION: In the buffer circuit in which plural inverter circuits 1 of CMOS structure are connected in parallel, a drive circuit 4 interrupting a power supply supplied to each of MOS TRs 2, 3 of at least one inverter circuit 1 is provided and a threshold level of the buffer circuit is changed by properly changing the number of the MOS TRs 2, 3 to be driven.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

5

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-152930

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl.⁵

識別記号

F I

H03K 19/0185

17/687

6959-5J

H03K 19/00

101

D

8221-5J

17/687

F

審査請求 未請求 請求項の数3 (全5頁)

(21)出願番号

特願平3-312802

(22)出願日

平成3年(1991)11月27日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 渡邊 良二

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

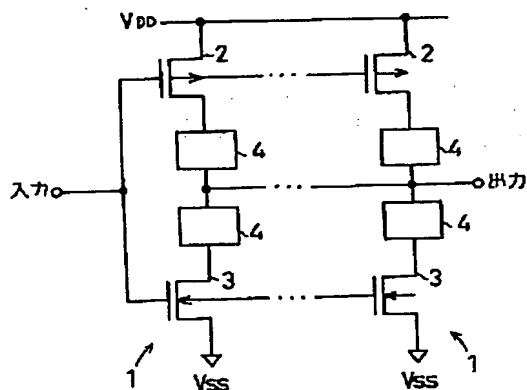
(54)【発明の名称】 バッファ回路

(57)【要約】

【目的】 CMOS構造のインバータ回路を複数個並列に接続したバッファ回路に関し、簡単な構成によってしきい値を変更することができるバッファ回路を提供することを目的とする。

【構成】 CMOS構造のインバータ回路1を複数個並列に接続したバッファ回路において、少なくとも1つのインバータ回路1のPチャンネルMOSトランジスタ2およびNチャンネルMOSトランジスタ3に対して、その各MOSトランジスタ2, 3に供給される電源を遮断する駆動回路4を設け、駆動される各MOSトランジスタ2, 3の数を適宜変更することによって、バッファ回路のしきい値を変更させる。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 CMOS構造のインバータ回路(1)を複数個並列に接続したバッファ回路において、少なくとも1つのインバータ回路(1)のPチャネルMOSトランジスタ(2)およびNチャネルMOSトランジスタ(3)に対して、その各MOSトランジスタ(2, 3)に供給される電源を遮断する駆動回路(4)を設け、駆動される各MOSトランジスタ(2, 3)の数を適宜変更することによって、バッファ回路のしきい値を変更させることを特徴とするバッファ回路。

【請求項2】 前記駆動回路(4)は制御用MOSトランジスタ(21, 21a, 22, 22a)であって、各制御用MOSトランジスタ(21, 21a, 22, 22a)を適宜選択してオフ動作させることによりバッファ回路のしきい値を変更させることを特徴とする請求項1記載のバッファ回路。

【請求項3】 前記駆動回路(4)はヒューズ(F)であって、所定のヒューズ(F)を適宜選択して切断することによりバッファ回路のしきい値を変更させることを特徴とする請求項1記載のバッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はCMOS構造のインバータ回路を複数個並列に接続したバッファ回路に関するものである。

【0002】近年、半導体装置の入出力バッファ回路として、CMOS構造のインバータ回路を複数個並列に接続する構成が多く用いられている。その場合のバッファ回路のしきい値は、TTL, CMOS, ECL等の各レベルに応じて予め定められており、半導体装置の製造後に変更することはできなかった。ところが、入力信号のレベルが変動した場合には、その変動に対応してしきい値を調整することが求められている。

【0003】

【従来の技術】従来のバッファ回路を図4に示す。CMOS構造のインバータ回路31は、それぞれトランジスタサイズが等しいPチャネルMOSトランジスタ32およびNチャネルMOSトランジスタ33によって構成されており、高電位側電源VDDおよび低電位側電源VSSから電源が供給されている。

【0004】このインバータ回路31が複数個並列に接続されてバッファ回路が構成されている。尚、バッファ回路に入力される入力信号のレベルは予め規定されている。従って、その入力信号のレベルに対して予め設定されたしきい値VTHに基づいて、バッファ回路は動作する。

【0005】ところが、何らかの原因によって入力信号のレベルが変動すると、予め設定しておいたしきい値VTHでは、バッファ回路が動作しなくなったり誤動作した

りする。

【0006】そのため、バッファ回路のしきい値VTHを容易に変更可能にする必要がある。そこで、特開昭62-11320号公報に示すように、バッファ回路の出力信号ラインにPまたはNチャネルMOSトランジスタのドレインを接続し、そのMOSトランジスタのバックゲートバイアスを制御することによって、しきい値を変化させ、バッファ回路のプルアップ/プルダウン機能を可変にする方法がある。

【0007】

【発明が解決しようとする課題】しかしながら、この方法では、MOSトランジスタのバックゲートバイアスを制御するための電源を別個に設ける必要がある上に、その電源の制御が複雑であるという問題があった。

【0008】本発明は上記問題点を解決するためになされたものであって、その目的は、CMOS構造のインバータ回路を複数個並列に接続したバッファ回路において、簡単な構成によってしきい値を変更することができ、バッファ回路を提供することにある。

【0009】

【課題を解決するための手段】図1は本発明の原理説明図である。バッファ回路は、CMOS構造のインバータ回路1を複数個並列に接続している。

【0010】少なくとも1つのインバータ回路1のPチャネルMOSトランジスタ2およびNチャネルMOSトランジスタ3に対して、その各MOSトランジスタ2, 3に供給される電源を遮断する駆動回路4が設けられている。

【0011】駆動される各MOSトランジスタ2, 3の数を駆動回路4によって適宜変更することによって、バッファ回路のしきい値を変更させる。

【0012】

【作用】駆動回路4は、所定のMOSトランジスタ2またはMOSトランジスタ3に供給される電源を遮断することにより、当該MOSトランジスタ2, 3を非動作状態にする。

【0013】そして、動作するPチャネルMOSトランジスタ2またはNチャネルMOSトランジスタ3の数を適宜変更して、バッファ回路のしきい値を容易に変更させることができる。

【0014】

【実施例】(第1実施例)以下、本発明を具体化した第1実施例を図2に従って説明する。

【0015】尚、図4に示す従来例のバッファ回路と同じ構成については符号を等しくして、その詳細な説明を省略する。両電源VDD, VSSと出力信号ライン間において、各MOSトランジスタ32, 33と直列に、制御用のNチャネルMOSトランジスタ21, 22が接続され、インバータ回路23を構成している。そのインバータ回路23と並列に同じ構成のインバータ回路23aが

接続されている。尚、インバータ回路23aを構成する各MOSトランジスタについては、インバータ回路23と同一番号にした上で「a」を付加して詳細な説明は省略する。

【0016】MOSトランジスタ21, 21aのそれぞれのゲートは、2ビットのアップカウンタであるカウンタ回路24に接続されている。また、MOSトランジスタ22, 22aのそれぞれのゲートは、カウンタ回路24と同じ構成であるカウンタ回路24Aに接続されている。そして、各MOSトランジスタ21, 21a, 22, 22aのゲートには、各カウンタ回路24, 24Aのカウント信号が入力されている。

【0017】セレクト回路25は、外部装置（図示略）から出力されるクロック信号CKを入力し、外部装置の指示に応じて、クロック信号CKをカウンタ回路24, 24Aのいずれか一方に出力している。

【0018】本実施例では、MOSトランジスタ21, 21a, 22, 22a, カウンタ回路24, 24A, セレクト回路25等で駆動回路を構成している。上記のように構成されたバッファ回路において、例えば、外部装置からセレクト回路25を介してカウンタ回路24に2個のクロック信号CKが入力されると、カウンタ回路24は両MOSトランジスタ21, 21aをオンさせるようにカウント信号を出力し、その出力を保持する。そして、外部装置からセレクト回路25を介してカウンタ回路24Aに2個のクロック信号CKが入力されると、カウンタ回路24Aは両MOSトランジスタ22, 22aをオンさせるようにカウント信号を出力し、その出力を保持する。すると、オンしたMOSトランジスタ21, 22, 21a, 22aを介して各MOSトランジスタ32, 33, 32a, 33aに電源が供給されて動作可能な状態にする。この場合のバッファ回路のしきい値VTHは、 $X = (VDD - VSS) / 2$ (V) となる（高電位側電源VDDの電位を「VDD」、低電位側電源VSSの電位を「VSS」とする）。

【0019】次に、外部装置からセレクト回路25を介してカウンタ回路24に1個のクロック信号CKが入力されると、カウンタ回路24はMOSトランジスタ21をオフさせ、MOSトランジスタ21aをオンさせるようにカウント信号を出力し、その出力を保持する。この場合、1つのPチャネルMOSトランジスタ32aと、2つのNチャネルMOSトランジスタ33, 33aとが動作可能な状態となるため、バッファ回路のしきい値VTHはX (V) より低くなる。

【0020】また、外部装置からセレクト回路25を介してカウンタ回路24Aに1個のクロック信号CKが入力されると、カウンタ回路24AはMOSトランジスタ22をオフさせ、MOSトランジスタ22aをオンさせるようにカウント信号を出力し、その出力を保持する。この場合、2つのPチャネルMOSトランジスタ32,

32aと、1つのNチャネルMOSトランジスタ33aとが動作可能な状態となるため、バッファ回路のしきい値VTHはX (V) より高くなる。

【0021】このように本実施例においては、簡単な構成によりしきい値VTHの設定を外部から容易に変更することができる。従って、半導体装置の製造後においても容易にしきい値VTHの変更ができる。

【0022】尚、インバータ回路23を複数個並列に接続し、両カウンタ回路24, 24Aをインバータ回路23の数に等しいビット数のアップカウンタとしてもよい。その場合は、しきい値VTHの設定をより細かく調整することができる。

【0023】また、MOSトランジスタ21, 22, 21a, 22aはPチャネルMOSトランジスタとし、それに対応したカウンタ回路24, 24Aを接続して実施してもよい。

【0024】（第2実施例）次に、本発明を具体化した第2実施例を図3に従って説明する。尚、図4に示す従来例のバッファ回路と同じ構成については符号を等しくして、その詳細な説明を省略する。

【0025】両電源VDD, VSSと出力信号ライン間において、各MOSトランジスタ32, 33と直列に駆動回路としてのヒューズFが接続されている。そして、任意のヒューズFを切断すると、そのヒューズFと直列に接続されているMOSトランジスタ32, 33への電源供給は遮断されて、当該MOSトランジスタ32, 33は動作しなくなる。

【0026】従って、所定のヒューズFをレーザ等で切断することにより、動作させるPチャネルMOSトランジスタ32とNチャネルMOSトランジスタ33の数の比を変更して、バッファ回路のしきい値VTHを調整することができる。

【0027】

【発明の効果】以上詳述したように本発明によれば、CMOS構造のインバータ回路を複数個並列に接続したバッファ回路において、簡単な構成によってしきい値を変更することができる優れた効果がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明を具体化した第1実施例のバッファ回路のブロック図である。

【図3】本発明を具体化した第2実施例のバッファ回路の回路図である。

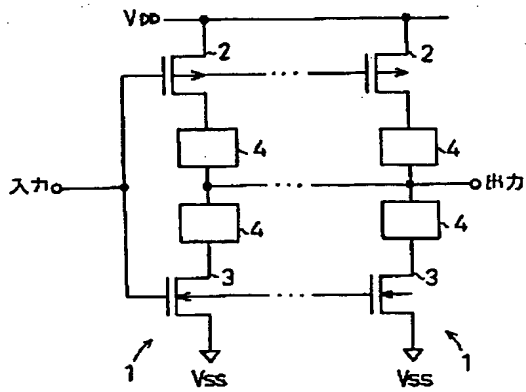
【図4】従来例のバッファ回路の回路図である。

【符号の説明】

- 1 インバータ回路
- 2 PチャネルMOSトランジスタ
- 3 NチャネルMOSトランジスタ
- 4 駆動回路

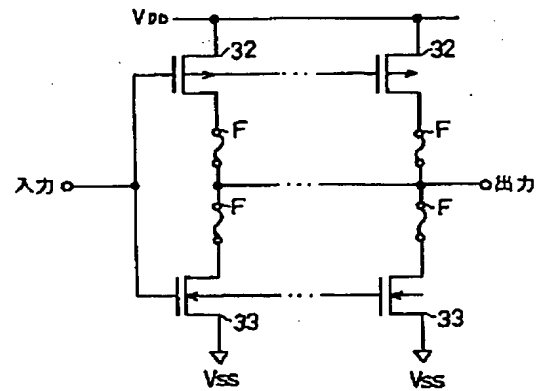
【図 1】

本発明の原理説明図



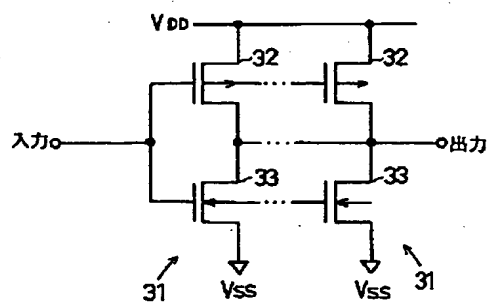
【図 3】

本発明を具体化した第 2 実施例のバッファ回路の回路図



【図 4】

従来例のバッファ回路の回路図



【図2】

本発明を具体化した第1実施例のバッファ回路のブロック図

